

JP7078495 Biblio Page 1 Drawing

SEMICONDUCTOR STORAGE DEVICE WITH BUILT-IN HIGH SPEED SELF TESTING CIRCUIT

Patent Number: JP7078495
Publication date: 1995-03-20
Inventor(s): NAKAMURA KAZUYUKI
Applicant(s): NEC CORP.
Requested Patent: ☐ JP7078495
Application Number: JP19930222580 19930907
Priority Number(s):
IPC Classification: G11C29/00
EC Classification:
Equivalents: JP3061988B2

Abstract

PURPOSE: To reduce a testing cost and to reduce the shipping cost of an LSI by shortening the testing time of a memory LSI and diagnosing a high speed operation using of an expensive and low speed tester.

CONSTITUTION: At the time of a testing, the inside of the LSI is operated with an external multiplied frequency by providing an internal clock generating PLL for multiplying an external clock. At this time, circuits (are an AGU and a DGU respectively) generating automatically the one part of an address and a data inputting signal with an internal frequency are mounted on a device. The data inputting signal is constituted so that the signal is started by an input signal from the outside and the '0' and '1' of the signal are switched alternately with the internal frequency. Moreover, a decision circuit DC deciding whether the output signal from the internal circuit is of the alternation of '0' and '1' or not, and the output signal coincides with an expected value from the outside or not is mounted in the device. With those circuits, the memory circuit of the inside of the LSI is tested with the external multiplied frequency.

Data supplied from the esp@cenet database - l2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-78495

(43) 公開日 平成7年(1995)3月20日

(51) Int.Cl.⁶

G11C 29/00

識別記号

303 B

庁内整理番号

6866-5L

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平5-222580

(22) 出願日 平成5年(1993)9月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中村 和之

東京都港区芝五丁目7番1号 日本電気株

式会社内

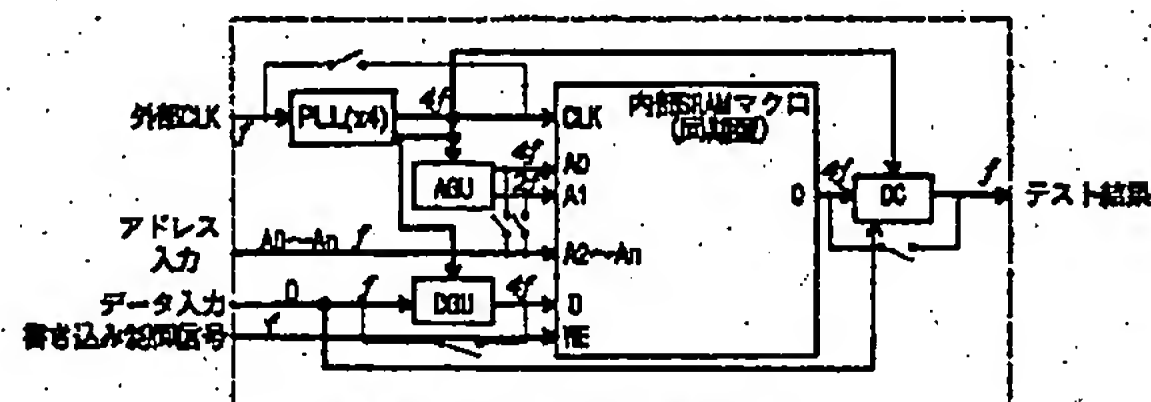
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 高速自己テスト回路内蔵半導体記憶装置

(57) 【要約】

【目的】 メモリ L S I のテスト時間を短縮し、またより安価な、低速なテスターを用いて、高速動作を診断する。それにより、テストコストを削減し、L S I の出荷コストを低減する。

【構成】 外部クロックの逡倍の内部クロック発生回路 P L L を設け、テスト時には L S I 内部を、外部の逡倍の周波数で動作させる。このとき、アドレスの一部及び、データ入力信号を内部周波数で自動発生させる回路 (それぞれ A G U 、 D G U) を搭載する。データ入力信号は、外部からの入力信号で始まり、内部周波数で 0 と 1 が交互に切り換えるように構成する。さらに内部回路からの出力信号が 0 と 1 の交互であり、その始まりが、外部から入力される期待値と一致しているかどうかの判定回路 D C を搭載する。これらの回路により、L S I 内部のメモリ回路を、外部周波数の逡倍でテストする。



PLL(x4):PLL 4倍クロック発生回路
AGU:256bit アドレス自動インクリメンタ
DGU:書き込みデータ発生回路
DC:4段階データ比較回路

BEST AVAILABLE COPY